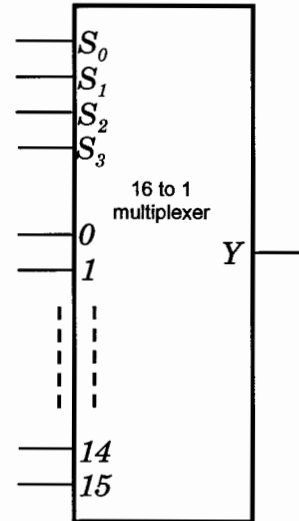
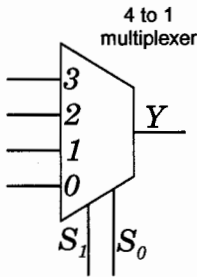


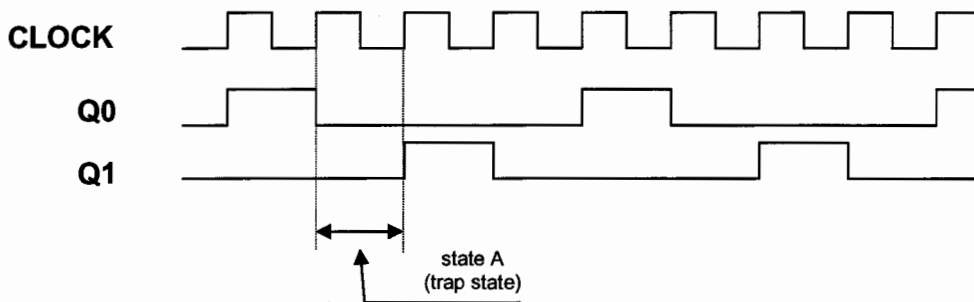
DIGITAALIELEKTRONIIKKA FYSE410

16.04.2010

1. Alla olevassa kuvassa on esitetty **16-to-1** multiplekserin symboli. Toteuta se käyttämällä 4-to-1 multipleksereitä. Anna ratkaisu, jossa on **vähiten** muita porttipiirejä.



2. Alla olevassa kuvassa on esitetty toteutettavan synkronisen laskurin antosekvenssi, jossa Q0 ja Q1 ovat suoraan laskurin tilakiikkujen (D flip-flop) antoja, Q0 ja Q1.

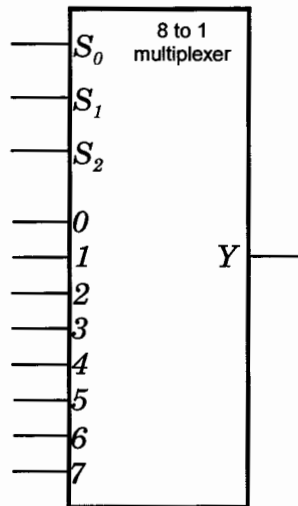


Kuvassa on merkitty sekvenssiin alkutilaksi A, joka on myös ns. trap-state, johon tarpeettomilta tiloilta on hypättävä jos niille joudutaan jostain syystä. Muut tilat olkoon : B, C, **Piirin rakenne tulee olla toteutettu siten, että sekvenssiin annot otetaan suoraan tilakiikkujen Q-lähdöistä.** Huomioi tämä ehto määrittäessäsi tarvittavien tilakiikkujen lukumäärää.

Anna vastauksessasi tarvittavat herätefunktiot Boolean funktioina (siis älä piirrä kombinaatiologiikkaa porttipiireillä) piirikaaviossa. Ainoastaan **D-kiikkujen** väliset kytkennät on piirrettävä.

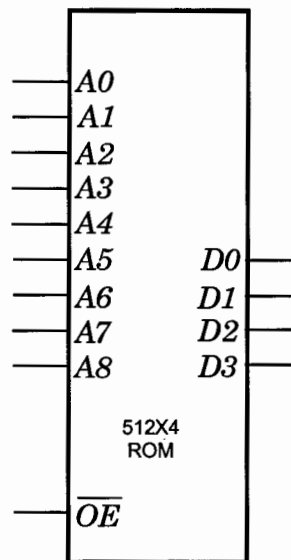
3. Toteuta Boolean funktio f_1 8-to-1 multiplexerin avulla. Käytä apuna vain invertteri piiriä ja niitäkin mahdollisimman vähän. Piirrä piirikaavio.

$$f_1(D, C, B, A) = \sum(1, 3, 4, 11, 12, 13, 14, 15)$$

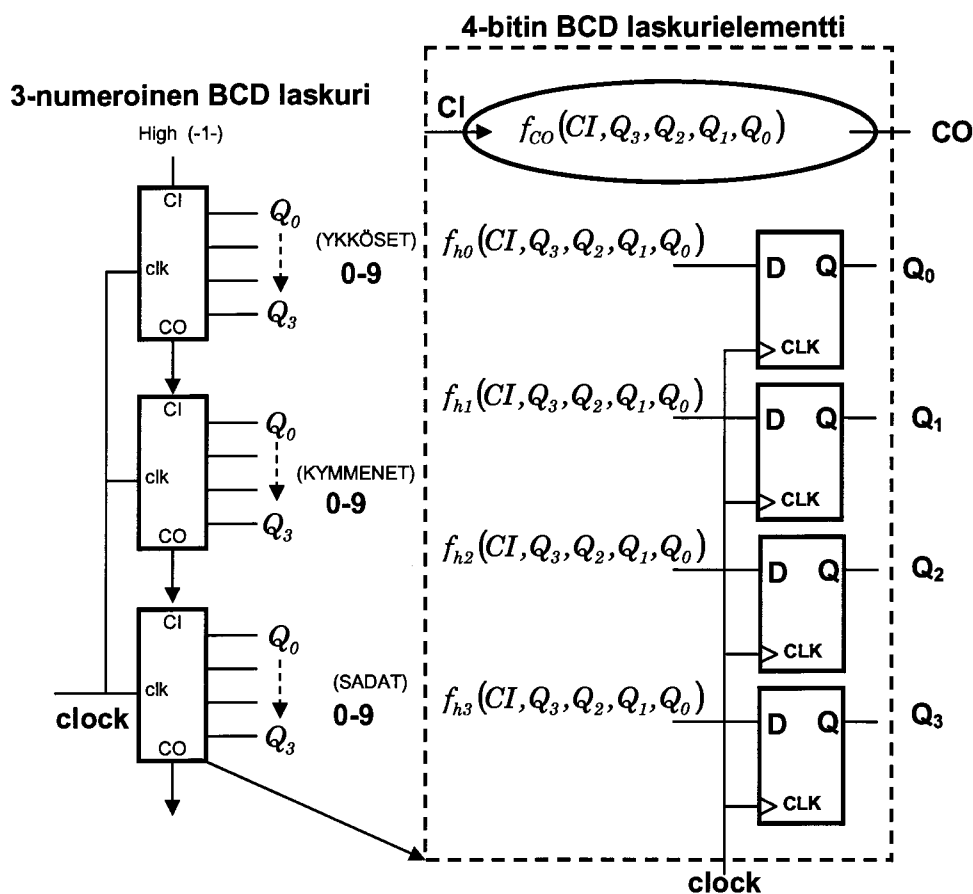


4. Vastaa lyhyesti, mutta riittävästi.

- (a) PLA circuit
- (b) PAL circuit
- (c) Noise margins NM_L and NM_H
- (d) Käytä 512x4 -bit ROM piiriä. Toteuta 512x8-bit muistialue (Word expansion) sekä 2kx4 bit muistialue (Address expansion). Piirrä molemmista kytkennöistä yksinkertaiset piirikaaviot, joista näkyy miten laajennus toteutetaan. (Muistipaikan sisältö näkyy annoissa D3-D0, kun $OE=0$. Annot ovat korkeaimpedanssisessa tilassa (Z) jos $OE=1$).



5. Toteuta ylöspäin laskeva **synkroninen BCD-laskurielementti**, joka voidaan kytkeä kaskadiin alla olevan kuvan mukaisesti, muodostamaan useampi numeroisia laskureita. Laskurin lähdöt ovat: Q_3 , Q_2 , Q_1 , Q_0 sekä CO (Carry Out). Laskurin tulot ovat: CLK (kello tulo) sekä CI (Carry In). Toteuta laskurielementti neljällä D-flip flopilla. Carry In-Carry Out toiminto on toteutettu siis vain kombinaatiologiikalla. Jos laskurielementti joutuu käyttämättömille tiloille 10-15, sen tulee hypätä seuraavalla kellopulsilla tilalle 0 (trap-state).



Esitä herätefunktiot vain Boolean funktioina, älä piirrä logiikaporotteja ratkaisuun. **Vihje:** voit välttää 5-muuttujan Karnaugh'n-kartan minimoinnissa, käyttämällä sopivasti 2-to-1 multiplexeriä herätefunktion toteutukseen.

6. Johda alla esitetylle kytkennälle kaava, josta voidaan laskea yläraja N_{\max} tulojen (74LS04) lukumäärälle. Alatilan häiriömarginaalin NM_L tulee olla 400mV, kun portteja on kytketty N_{\max} kappaletta. Laske N_{\max} alla olevalle kytkennälle. Siirtolinjaa ohjataan yhdellä OC-annolla. Siirtolinja on terminoitu molemmista päistään vastuksilla : 220 ja 330 ohmia. Logiikkaportteille on annettu seuraavat parametrit:

OC-NAND : $V_{OL_{\max}} = 0.4V$ kun $I_{OL_{\max}} = 48mA$

74LS04 : $V_{IL} = 0.8V$ $I_{IL} = -0.4mA$

Vihje: käytä tarkastelussa siirtolinjan Thevenin ekvivalentti kytkentää.

